

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-205307

(43)公開日 平成6年(1994)7月22日

(51)IntCl.⁵

H04N 5/335

識別記号

庁内整理番号

FI

技術表示箇所

Q

審査請求 未請求 請求項の数 2 (全 16 頁)

(21)出願番号

特願平4-360134

(22)出願日

平成4年(1992)12月28日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 近藤 真

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 大原 栄治

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 弁理士 國分 孝悦

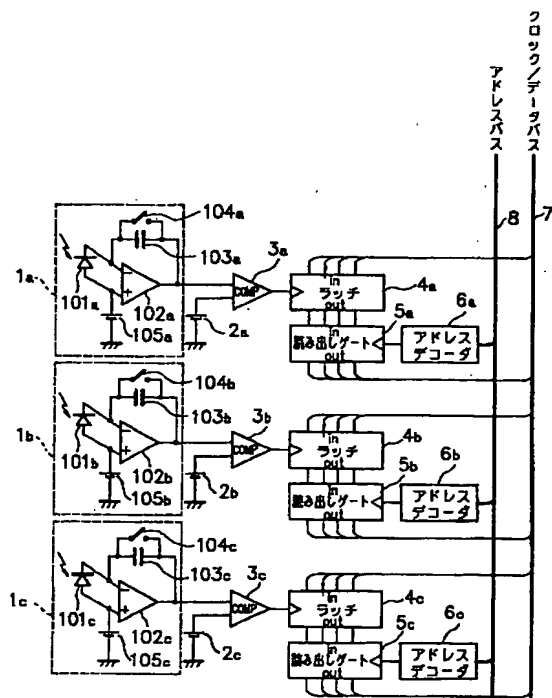
(54)【発明の名称】 固体撮像素子及び加算装置

(57)【要約】

【目的】 固体撮像素子から信号処理回路までの信号伝送におけるS/N比を改善できる固体撮像素子を得る。

【構成】 光電変換素子101の画素出力を演算増幅器102、コンデンサ103で積分した値をコンパレータ3で基準電圧と比較し、積分値が一定以上となったときのクロック/データバス7の値をラッチ4でラッチし、この値をその画素の光電変換データとして上記バス7により伝送する。

【効果】 各画素から直接デジタルデータが得られるので、これを信号処理回路に伝送しても信号劣化が生じない。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数の光電変換素子と、各光電変換素子の出力をそれぞれデジタルデータに変換する複数のアナログ・デジタル変換手段とを備えたことを特徴とする固体撮像素子。

【請求項2】 それぞれデジタル信号に応じて電流を制御する複数の電流スイッチと、
上記複数の電流スイッチによりそれぞれ制御された電流を加算する抵抗回路とを備えた加算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は光学像を電気信号に変換する固体撮像素子及びデジタル映像信号等の複数のデジタル信号を加算するための加算装置に関するものである。

【0002】

【従来の技術】 従来のビデオカメラ等の撮像装置においては、画素毎に光電変換した電荷量をCCDを用いて順次転送し、各電荷量を電圧変換手段に導いて電圧に変換し、この電圧をサンプルホールドして連続的な電気信号としてから信号処理回路において種々の信号処理（例えばKnee、 γ 、ホワイトバランス、マトリクス処理等）を行うようにしている。また、上記信号処理をアナログで行わずにサンプルホールドした後、アナログ・デジタル変換し、このデジタルデータに対してデジタル信号処理を行う場合もある。

【0003】 このような技術は、例えば特開平2-288691号公報、特開平2-288696号公報等に開示されている。

【0004】 また、従来より複数のデジタル映像信号を、画質補正や特殊効果等の目的により、任意の比率で合成加算するための加算装置がある。このような加算装置は例えば図14に示す様に構成されている。

【0005】 図14において、30、33、38は係数値K1、K2、K2を有する係数器であり、36は加算器、37はD/A変換器である。また、31、34、39及び32、35、40は上記各係数器30、33、38の構成要素であるパレルシフト及び加算器である。

【0006】 上記のように構成された加算装置において、先ず同図(a)について説明すると、二つのデジタル映像信号A及びBが係数器30、33に供給されると、各信号A、Bは例えばそれぞれ $13/16$ 及び $3/4$ に圧縮される。

【0007】 次に加算器36により圧縮された二つのデジタル映像信号は加算、合成されD/A変換器37によりアナログ信号に変換された後、出力される。

【0008】 係数器30、33の係数値K1、K2は広く一般に知られているシフトと加算により得ている。パレルシフト31、34のシフト量を各々適切に設定して、入力信号を各々2つのべき乗の値($1/2$ 、 $1/4$

及び $1/16$)に変換し、かつそれらの変換出力を加算器32、35で加算することにより、 $K1=13/16$ 、 $K2=3/4$ の係数値を得ている。

【0009】 ところで、上記係数値K1、K2を可変するためには、係数器30、33の構成要素である複数のパレルシフト31、34のシフト量を選択的に切り換え制御すればある程度可能であるが、例えば加算比を微調整する等の目的により、係数器33の係数値K2を $3/4$ ($=96/128$)から $95/128$ に細かく変化させる場合は、同図(b)に示したように、パレルシフト39及び加算器40の個数を増やして構成しなければならない。

【0010】

【発明が解決しようとする課題】 従来の固体撮像素子から得られる光学像の画素毎の情報、信号処理回路に至るまでにCCD又はMOSトランジスタのスイッチ回路による電荷の繰返し、又は長距離移送のプロセスを経ている。このプロセスにおいては、電荷量を極力保存したまま繰返し、又は長距離移送をするように成されているが、転送効率100%にはなり得ず、S/Nの劣化等画質劣化の原因になっている。

【0011】 特に、デジタル信号処理は複雑な信号処理を行っても画質劣化を少なくするために行われるのであるが、このようなデジタル信号処理を行っているにもかかわらず、その前段においてアナログの電荷移送を行っているために、デジタル信号処理の利点を生かすきいていなかった。

【0012】 また、図14の従来の加算装置においては、係数器の係数値を細かく変化させるためには、パレルシフト及び加算器の個数を大幅に増加させる必要があり、しかも実際には係数器の演算精度を確保するために、パレルシフト及び加算器のビット数を増加させなければならないため、回路規模及び消費電力が増大してしまうという欠点を有していた。

【0013】 本発明は上記のような問題を解決するためになされたもので、画素毎に直接デジタルデータを得ることのできる固体撮像素子を得ると共に、複数のデジタル信号の加算比を簡単な回路構成で任意に変更できる加算装置を得ることを目的としている。

【0014】

【課題を解決するための手段】 第1の発明においては、複数の光電変換素子の出力をそれぞれデジタルデータに変換するための複数のアナログ・デジタル変換手段を設けている。

【0015】 第2の発明においては、それぞれデジタル信号に応じて電流を制御する複数の電流スイッチと、上記複数の電流スイッチによりそれぞれ制御された電流を加算する抵抗回路とを設けている。

【0016】

【作用】 第1の発明によれば、撮像素子上で画素毎にあ

るいは信号処理上必要なサブサンプルや加算等の処理を施した画素の情報に対してアナログ・デジタル変換をした後に、デジタルデータとして出力することにより、アナログの電荷移送によるS/N劣化を防ぐことができる。

【0017】第2の発明によれば、各電流スイッチをそれぞれデジタルデータにより制御し、各制御された電流を抵抗回路に加えることにより、この抵抗回路より複数のデジタル信号を任意の加算比で加算したアナログ信号が得られる。

【0018】

【実施例】図1は第1の発明の第1の実施例を示す。図1においては符号1～6に付されたa、b、cの添字は同一機能を持つ複数のブロック又は回路素子を識別するためのものである。以下の構成及び動作の説明においては、上記添字を付さずに説明し、必要に応じて添字a、b、cを付して説明する。

【0019】図1において、101は光を電荷に変換する光電変換素子、102は光電変換素子101で発生した電荷を積分するための積分器を構成する演算増幅器、103は上記積分器を構成するコンデンサ、104はコンデンサ103を放電させて積分器を初期化するためのスイッチ、105は積分器の基準電圧源である。101～105により構成される1a、1b、1cは各光電変換素子101に照射された光量の積分量に応じた信号を出力する光量センサである。

【0020】2は基準電圧源、3は光量センサ1からの出力と基準電圧源2の基準電圧とを比較し、その比較結果を出力するコンパレータ、4は後述するクロック/データバス7の値をコンパレータ3の出力によって保持するためのラッチ、5はラッチ4の出力を後述するアドレスバス8の値によって順番に読み出すための読み出しゲート、6はアドレスバス8のアドレスデータをデコードし、読み出しゲート5を制御する信号を生成するアドレスデコーダである。

【0021】7はカウント用クロック及びラッチ4内のデータ読み出し用の例えば4ビットのクロック/データバス、8は読み出すべきラッチ4を選択するためのアドレスバスである。尚、光電変換素子101は3個のみ図示しているが、実際には2次元的に多数配列されている。

【0022】次に上記構成において、光学像を静止画情報として取り出す場合の動作について、図2のタイミングチャートを参照しながら説明する。

【0023】まず、図2におけるS1、S2、絞り、メカシャッタについて説明する。S1はリリース釦（図示せず）の第1ストロークの操作によってONするスイッチ（ONで“H”）の出力波形、S2は上記リリース釦の第2ストロークの操作によってONするスイッチ（ONで“H”）の出力波形、絞りは光学的絞りの動作を示

す波形で、通常時（図上で一番低いレベル）が開放で、撮像時に所定の絞り値まで絞り込まれ（図では立ち上がり）、撮像終了時に初期の開放位置に復帰する（図では立ち下がり）。尚、図上で立ち上がり後のオーバーシュートは、絞り羽根を所定の移り値に停止させた時の慣性によるものである。

【0024】メカシャッタは例えばフォーカルブレンシャッタのようなシャッタの動作を示し、図上の最も低いレベルが閉じ状態を示し、最も高いレベルが開放状態を示す。

【0025】まず、S1がONになると、公知の測光センサにより被写体の輝度を測り、光電変換素子101が配列されている結像面に必要十分な光量を与えるような絞り値と露光時間を演算する。次にS2がONになると、まず絞りをS1のみがONの間に演算された絞り値に絞る。

【0026】次に積分器のリセットスイッチ104をONからOFFに開放して積分リセットすると共に、メカシャッタを開放する。この結果、各光電変換素子101に被写体像が照射され、光電子の画素毎の積分が始まる。

【0027】そして、S1がONの間に演算された露光時間が経過すると、メカシャッタを閉じて露光即ち、光電子の画素毎の積分を停止する。このときの画素毎の積分の様子即ち、各積分器の出力を示したものが図2のComp a in, Comp b in, Comp c inである。

【0028】次に、メカシャッタが閉じられた後、被写体側からみてメカシャッタの裏側において、光電変換素子群が配置されている面に、一様な白色光（図2における補助光）を照射すると同時にクロック/データバス7の4ビットの値を一定時間間隔でデクリメントする（図2のクロック/データ0、1、2、3）。尚、このときアドレスバス8は、存在しないアドレスの状態（図2の例ではアドレス000）にしておき、読み出しゲート5の出力はすべて高インピーダンス状態としておく。

【0029】上記のように、一様な白色光を照射されると、光量センサ1群は再び光電子の画素毎の積分を行う。コンパレータ3は光量センサ1群の出力と基準電圧源2の基準電圧とを比較して光量センサ1群の出力電圧（図2のComp a, b, c in）が基準電圧（図2のComp a, b, c inに付加された一点鎖線のレベル）より高くなった時、コンパレータ3の出力を“H”にする（図2のComp a out, Comp b out, Comp c out）。コンパレータ3の出力の立ち上がりエッジによってラッチ4はそのときのクロック/データバス7の値をラッチする。

【0030】図2の例では、コンパレータ3aの出力はクロック/データバス7の状態が0010のときに“H”になっているので、ラッチ4aは0010を保持し、コンパレータ3bの出力はクロック/データバス7の状態が1100のときに“H”になっているので、ラ

ッチ4_bは1100を保持している。同様にラッチ4_cは1001を保持している。そして、クロック/データバス7がデクリメントして0000になった時、カウント動作(クロック/データバス7のデクリメント動作)を停止すると共に、補助光の光量センサ1群への照射を停止する。

【0031】その後、クロック/データバス7のドライバ回路を高インピーダンス状態(図2のHi Z)にすると共に、アドレスバス8の値を、読み出すべき光量センサ1に対応するアドレスに設定する。このアドレスは図2の例では001、010、011、100、・・・と単純にインクリメントしている。

【0032】この結果、指定されたアドレスデコード6から出力された信号によって読み出しゲート5を開き、指定されたアドレスのラッチ4のデータをクロック/データバス7を経由して読み出すことができる。アドレスバス8の値を順次変えることにより図2の例ではラッチ回路4_a、4_b、4_cに保持された0010、1100、1001のデータとアドレス001、010、011とが対応し、各ラッチ4_a、4_b、4_cの内容を読み出すことができる。

【0033】なお、この実施例においては、光量センサ1として光電変換素子、積分器、及びコンパレータを用いているが、CCDのように電荷容量のそろった多数のポテンシャルウェルを作り、各ウェル毎の電荷のオーバーフローを検出する手段を設け、一定光量が積分されたことを知ることによっても、同一機能を実現することが可能である。

【0034】また、被写体像の光電変換効率を考えると、光電変換素子101のみで固体撮像素子の結像面を覆いつくすことが望ましい。その場合、他のラッチやバス等は上記結像面以外の場所に設けることになる。これは換言すれば受光部以外は結像面に対して深さ方向に配置するような三次元集積回路が望ましいと言える。

【0035】また、本実施例ではクロック/データバス7とアドレスバス8とを別個に設けているが、両者を兼用することにより配線本数を削減することが可能になるのは言うまでもない。

【0036】図3は、第2の実施例を示すブロック図であり、図4は動作を説明するためのタイミングチャートである。

【0037】図3における光量センサ1_a～1_eは図1のものと同一構成されている。10は光量センサ1の出力を制御信号によりサンプリングして保持するサンプルアンドホールド回路(以下、S/H回路)、107は制御信号によりON/OFFされて光量センサ1の出力をサンプリングするスイッチ、108はサンプリングされた光量センサ1の出力を保持するコンデンサ、11はS/H回路10で保持された光量センサ1の出力をデジタル化するAD変換器(以下、ADC)、12はADC

11の出力をビットパラレルで入力保持し、クロックに応じてビットシリアルで出力するパラレル/シリアル変換を行うシフトレジスタである。

【0038】上記構成による動作を図4を参照して説明する。図4のS1、S2、絞りの機能は図2と同一である。

【0039】S1がONになり、絞りと露光時間とを演算し、S2がONになるのを待ち、先に演算した絞り値まで絞り込むまでは、第1の実施例と同じである。

【0040】次に、積分器のリセットスイッチ104を開放することによって積分を開始する。本実施例の場合はメカシャッタを持たないため、リセットスイッチ104の開放、即ち露光開始になる。この時刻から露光時間をカウントし、露光時間が経過したらS/H回路10にサンプリング動作をさせる制御信号を与えて、サンプリングを行う。上記制御信号を与えた時点での光量センサ1の出力値を保持させ、以降、光量センサ1に照射する被写体像の影響から逃れるようにする。この動作によりメカシャッタのない場合の露光時間を制御することができる。

【0041】上記サンプリング後、S/H回路10がホールド状態になると、ADC11によるAD変換動作が始まる。ここでのAD変換はS/H回路10の出力に対して行っているため、AD変換の速度は任意である。従って画像信号を扱うにもかかわらず逐次比較形ADCを用いることが可能である。AD変換に要する時間経過後、シフトレジスタ12に対してロード信号LOADを加える。この信号LOADが加えられた時のADC11の出力をシフトレジスタ12にラッチする。

【0042】次に、シフトレジスタ12にシフトクロックSCLKを印加すると、シリーズに接続されたシフトレジスタ12内の全データを最終段のシフトレジスタの1ヶ所の出力から読み出すことができる。

【0043】本実施例ではS/H回路10があるので、ADC11の変換速度は任意である旨述べたが、逆にADC11の変換速度が充分速く、変換期間中の光量センサ1の出力の変化量が被写体像の高輝度部に対応する光量センサ1においても無視できる程度ならば、S/H回路10はなくてもよいことは明らかである。

【0044】図5は第3の実施例を示し、第1の実施例と以下の2点において異なる。即ち、第1の実施例でメカシャッタで遮光後、補助光により積分器内の積分値が一定値になるまでの時間(再積分動作の時間)をカウントしていたのを、積分値が一定値になるまで再積分する電荷を補助光ではなく、スイッチ111～114で切り換えられる別の電流源106を用いて再積分動作を行うようにした点が第1の相異点である。

【0045】第2の相異点は、コンパレータ3の出力によりラッチしたクロック/データバス7の値を読み出す時にラッチ4をパラレルのまま縦続接続して読み出すと

ころにある。このために、マルチプレクサ(MPX) 13、14、制御線15、16が設けられている。

【0046】次に図6を参照しながら概略的な動作を説明する。S2がONになると絞りを所定値に絞りこむまでの動作は第1、2の実施例と同じである。絞りが所定値になると、光電変換素子101をリセットしているスイッチ114をONからOFFにして、光電変換素子101の接合容量内に電荷の蓄積を開始する。このとき、光電変換素子101を積分器に接続するスイッチ112、113と、再積分時の電流源106を積分器に接続するスイッチ111とはOFFの状態であり、積分器のリセットスイッチ104はONの状態である。

【0047】露光開始からS1がONの期間に演算された露光時間が経過すると、光電変換素子101の接合容量内に蓄積された電荷を積分器に移送するためにスイッチ104をOFFすると共に、スイッチ112、113をONにする。光電変換素子101内の電荷を積分器に移送し、移送が終了するとスイッチ112、113を直ちにOFFにする。これと略同時に光電変換素子101をリセットするスイッチ114をONにしておく。これは以下の理由による。

【0048】本実施例では第2の実施例と同様にメカシヤッタを持たないため、露光終了後も光電変換素子101には光が当たりつづけており、このため光電変換素子101が自身の接合容量を越える電荷を発生した場合は、素子上の他の部分に電荷が漏れ出して悪影響を与えるおそれがある。これを避けるためにスイッチ114をONにする。この場合、素子のアノード、カソード内の短絡でなく接地してもよいことは自明である。

【0049】次に、電流源106により積分器の再積分を行うと共に、クロック/データバス7をデクリメントする。このときカウント/読み出しの制御線15は“L”であり、MPX13はコンパレータ3の出力をラッチ4のロード端子に、MPX14はクロック/データバス7をラッチ4のデータ入力端子に接続する状態となっている。従って、第1の実施例と同様に再積分値が一定値(図6のCOMP a~d inに付加された一点鎖線)になった時にコンパレータ3の出力が“H”になり、このエッジによってクロック/データバス7の値をラッチ4内に取り込む。クロック/データバス7の値がゼロまでデクリメントされると、カウントダウンを停止すると共に電流源106による積分器への電流の注入を停止する。

【0050】続いて制御線15を“H”にして、MPX13とMPX14とを切り換えて、シフトクロックの制御線16をラッチ4のロード端子に接続し、ラッチ4の出力を次段のラッチ4の入力に接続する。この状態で制御線16にデータシフトパルスを印加すると、この図では、各ラッチ4内のデータがビットバラレルでシリーズに出力される。

【0051】図7は第4の実施例を示し、図8はその動

作を示すタイミングチャートである。光量センサ1の出力をデジタル化する方法としては、第2の実施例と同様にサンプルアンドホールドした後、AD変換している。

【0052】また、デジタル化されたデータを読み出す方法としては第1の実施例と同様にアドレス指定により必要なデータをデータバスライン19上に置くことにより任意のアドレスのデータを読み出している。従って光量センサ1の出力のデジタル化の動作とデジタル化されたデータの読み出しの動作についての説明は省略する。

【0053】この第4の実施例と他の実施例との違いは、次の点にある。即ち、光量センサ1の出力をフィールドコントローラ20で制御されるスイッチ18を介して加算&S/H回路17で垂直方向に2画素分づつ加算した後、ADC11でAD変換する。この動作を1画面毎に加算する2画素の組み合わせを変えることで、ロード回路21で制御される読み出しゲート23よりフィールドインタレース読み出しができるようにした点が違っている。

【0054】また、図7と図1のアドレスラインの配線の違いも差がある。図7では1画素(この例では加算された画素を1つとしている)に対して読み出しアドレスコントローラ22で制御されるアドレスラインは、各光量センサ1のアドレス v_n 、 h_n に応じて垂直 V_0 、 V_1 、水平 H_0 、 H_1 の2本しかない点で素子設計上有利である。図1の第1の実施例では全画素に対して全アドレスラインを配線する必要があるので、例えば約26万画素の撮像素子に対しては18本のアドレスラインが必要となる。また図1では全アドレスラインに対するアドレスデコーダも各画素に必要となる。

【0055】尚、この第4の実施例においては、図8の読み出しアドレスコントローラ22の出力は図7から容易にわかるように加算後のデータに対するアドレス(大文字)を示している。

【0056】図9は第5の実施例を示すもので、デジタル化された信号読み出し方法は第1の実施例と同じである。第3の実施例における光量センサ1の積分器の電荷の注入をサンプルアンドホールド後のコンデンサ108に対して行うことが第3の実施例との違いである。

【0057】その他の変形例

上記各実施例では、露光し、遮光あるいはサンプルアンドホールド後、再積分してオーバフローまであるいは所定レベルまでの時間をカウントすることにより光量センサの出力をデジタル化しているが、これは再積分の代わりに一定割合で電荷を減少させていく放電を行い、電荷がゼロになる(電圧が所定電圧以下になる)までの時間を測定するようにしても同一の結果が得られる。その場合には放電開始からの時間のカウントはカウントアップの方がよい。

【0058】第2及び第4実施例では露光途中であっても、任意の必要なタイミングで非破壊の読み出しが可能であるので、リアルタイムの測光が可能である利点をもつ。

【0059】第2及び第4実施例において、ADC11のレファレンス抵抗列の値を非線形にすることによって、被写体を γ やKneeの特性を得るために非線形にデジタル化することができ、さらに、その他の実施例でも時間をカウントするクロックの間隔を不等間隔にすることで、同様の効果を得ることが可能である。また、さらに、光電変換素子101や積分器に蓄積しつつある電荷を、蓄積期間中に一部排出することにより、同様な効果を得ることができる。

【0060】図10は第2の発明による第6の実施例を示す。

【0061】図10において、41、42は各々デジタル映像信号A、Bのデジタルデータにより切換え制御される複数のスイッチ43より構成されたスイッチ回路である。44、45はそれぞれスイッチ回路41、42の一端に接続され、外部より電流コントロール信号A、Bにより電流が制御される複数の電流源46により構成された電流源回路である。47はスイッチ回路41、42の他端に接続された複数の抵抗器48、49により構成された抵抗回路である。50はアナログ信号出力端子である。

【0062】次に動作について説明する。スイッチ回路41に入力されたデジタル映像信号Aのデジタルデータ（例えばD17～D10の8ビットとする）はこのスイッチ回路41の構成要素であるスイッチ43をデータに応じて切換え制御している。スイッチ回路41の一端には電流源回路44が接続されているため、スイッチ回路41は電流源回路44とともにデジタル映像信号Aのデータに応じて負荷への電流供給を制御する電流スイッチとして動作する。ここで、上記負荷はスイッチ回路41の他端に接続された抵抗回路47である。

【0063】この抵抗回路47は図示したように各々R及び2Rの抵抗値を有する抵抗器48、49により構成されていて、その中間タップに前述した電流スイッチが接続されている。この抵抗回路47においては、一般にR-2R抵抗網として知られているように、どの中間タップに接続されたどの抵抗器48、49の方向を見てもインピーダンスが2Rに等しいという性質があるため、デジタル映像信号Aのデジタルデータの各ビットにより制御された等しい値Jを有する電流は、アナログ信号出力端子50においては各ビットに応じて2進の重み付け（ $2^0/3 \times J \sim 2^{-7}/3 \times J$ ）となるように各々分配され、アナログ信号出力端子50に接続された抵抗器49を流れるため、デジタル映像信号Aのデジタル値に比例した電圧が出力される。

【0064】一方、抵抗回路47には前述した電流スイ

ッチと同様のもう一つの電流スイッチが接続されている。即ち、デジタル映像信号Bのデジタルデータ（D27～D20の8ビットとする）によって制御されるスイッチ回路42と電流源回路45とによる電流スイッチである。

【0065】これらの2つの電流スイッチは、負荷として抵抗回路47を共有していることになる。この場合も前述した抵抗回路47の性質により、デジタル映像信号Bのデータの各ビットにより制御された電流は前述と同様に各ビットにより2進の重み付けとなるように各々分配されて、アナログ信号出力端子50に接続された抵抗器49を流れる。このとき既にデジタル映像信号Aによる分配電流が流れているため、デジタル映像信号A及びBにより制御される電流が抵抗回路47により各々独立に2進の重み付けとなるように分配される。この結果映像デジタル信号A及びBが示すデジタル値を加算した電圧がアナログ映像信号として出力されることになる。

【0066】また、電流源回路44、45は各々電流コントロール信号A及びBにより連続的に電流値を制御可能に構成されており、デジタル値をアナログ値（電圧）に変換する際の変換ゲインを各々連続的に制御できるので、デジタル映像信号AとBとの加算比を自在に調整できる。尚、以上においては電流スイッチが二つの場合を例に示したが、一般に複数の電流スイッチを設けても成り立つことは勿論である。

【0067】図11は第7の実施例を示す。同図において、41～50は図10に示したものと同じである。51は各々R及び2Rの抵抗値を有する抵抗器48、49により構成された抵抗回路であり、スイッチ回路41、42及び電流源回路44、45で各々構成される2つの電流スイッチが同図のように異なる端子に接続されている。

【0068】抵抗回路51のアナログ信号出力端子50に着目すると、右側にある抵抗値Rの抵抗器48の方向を見たインピーダンスは2Rとなっているため、デジタル映像信号Aのデジタルデータにより制御される電流スイッチにとっては図10で示した抵抗回路47と全く等価の負荷となっており、アナログ信号出力端子50に接続された抵抗器49で分配された電流も同じである。同様にアナログ信号出力端子50の左側にある抵抗値Rの抵抗器48の方向を見たインピーダンスも2Rとなっているためデジタル映像信号Bによる電流分配も同じとなる。結局この図11の構成は動作上図10と等価となり同じ効果を得ることができる。

【0069】図12は第8の実施例を示す。同図において41～50は図10に示したものと同じである。52はデジタル映像信号Cのデジタルデータにより制御されるスイッチ43で構成されたスイッチ回路、53はスイッチ回路52に接続された複数の電流源46で構成

された電流源回路である。54は各々R及び2Rの抵抗値を有する抵抗器48、49により構成された抵抗回路であり、スイッチ回路41、42、52及び電流源回路44、45、53で各々構成される3つの電流スイッチが同図のように異なる端子に接続されている。

【0070】この図12の回路は図11の構成を拡張して3つのデジタル映像信号A、B、Cを任意の加算比で加算する例を示しており、前述と同様にアナログ信号出力端子50においてどの方向のインピーダンスも2Rとなっているため、図11で説明したのと同様に電流分配が行われていることがわかる。

【0071】図13は第9の実施例を示す。同図において41、42は図10に示したものと同様のスイッチ回路、55、56はそれぞれスイッチ回路41、42の一端に接続され、外部より電流コントロール信号A、Bで制御できる電流源46により構成された電流源回路である。ただし、この電流源回路55、56においては、スイッチ回路41、42の構成要素であるスイッチ43に接続される。電流源46の数量に重み付けがなされている。57はスイッチ回路41、42の他端に接続されたそれぞれR、2R、4R、8Rの重み付けされた抵抗値の抵抗器48、49、58、59により構成された抵抗回路である。

【0072】次に動作について説明する。前述したようにスイッチ回路41の一端に電流源回路55を接続し、かつ抵抗回路57の中間タップにスイッチ回路41の他端を接続することにより、抵抗回路57を負荷として、デジタル映像信号Aのデジタルデータに応じて前記負荷への電流供給を制御する電流スイッチを構成している。

【0073】抵抗回路57においては、図示したように構成要素である抵抗器48、49、58、59の抵抗値が2進の重み付けが成されているため、デジタル映像信号Aの下位ビットにより切り換え制御された等しい値Jを有する電流が抵抗回路57を各々流れることによりアナログ信号出力端子50においては各ビットに応じて2進の重み付けがされた電圧を発生する。また、デジタル映像信号Aの上位3ビットにより制御される電流については、電流源回路55の電流源46の数量に2進の重み付けがなされているため、やはりアナログ信号出力端子50においては各ビットに応じて2進の重み付けがなされた電圧を発生する。以上のように抵抗値と電流値とにそれぞれ重み付けをすることにより、アナログ信号出力端子50にデジタル映像信号Aの示すデジタル値に比例した電圧が出力される。

【0074】一方、抵抗回路57には前述した電流スイッチと同じ構成のデジタル映像信号Bにより制御されるスイッチ回路42及び電流源回路56より成る電流スイッチが接続されている。これらの2つの電流スイッチは負荷として抵抗回路57を共有することになるが、互

いに独立に動作するため、前述したようにアナログ信号出力端子50にデジタル映像信号Bの示すデジタルデータに比例した電圧を発生する。このとき既にデジタル映像信号Aによる電圧が発生しているため、結局、デジタル映像信号A、Bを加算したアナログ映像信号の電圧が発生する。また電流源回路55、56は各々電流コントロール信号A、Bにより連続的に電流値が制御可能に成されており、デジタル値をアナログ値（電圧）に変換する際の変換ゲインを各々連続的に制御できるため、デジタル映像信号AとBとの加算比を自在に調整できる。

【0075】尚、この実施例においても3つ以上の電流スイッチを設けることができる。

【0076】

【発明の効果】以上説明したように、第1の発明によれば、固体撮像素子内に各画素に対応してそれぞれアナログ・デジタル変換手段を設ける構成としたことにより、アナログでの情報伝送部分を少なくすることができ、このためアナログ情報伝送による画質劣化を防ぐことができる効果がある。

【0077】また、第2の発明によれば、それぞれデジタル信号により電流が制御される複数の電流スイッチを抵抗回路に接続する構成としたことにより、複数のデジタル信号を任意の加算比で加算しながらアナログ信号に変換することができる。

【0078】また、比較的広範囲に電流制御が可能であり、従ってダイナミックレンジも広く、しかも電流スイッチを高速に切換えることができるため周波数特性の優れた加算装置が得られる。また、電流スイッチを複数設けるという比較的簡単な構成のため、回路規模及び消費電力に関しても有利である。

【図面の簡単な説明】

【図1】第1の発明による第1の実施例を示す構成図である。

【図2】動作を示すタイミングチャートである。

【図3】第2の実施例を示す構成図である。

【図4】動作を示すタイミングチャートである。

【図5】第3の実施例を示す構成図である。

【図6】動作を示すタイミングチャートである。

【図7】第4の実施例を示す構成図である。

【図8】動作を示すタイミングチャートである。

【図9】第5の実施例を示す構成図である。

【図10】第2の発明による第6の実施例を示す構成図である。

【図11】第7の実施例を示す構成図である。

【図12】第8の実施例を示す構成図である。

【図13】第9の実施例を示す構成図である。

【図14】従来の加算装置を示す構成図である。

【符号の説明】

101 光電変換素子

102 演算増幅器

103 コンデンサ

4 ラッチ

5 読み出しゲート

6 アドレスデコーダ

7 クロック/データバス

11 ADコンバータ

41、42 スイッチ回路

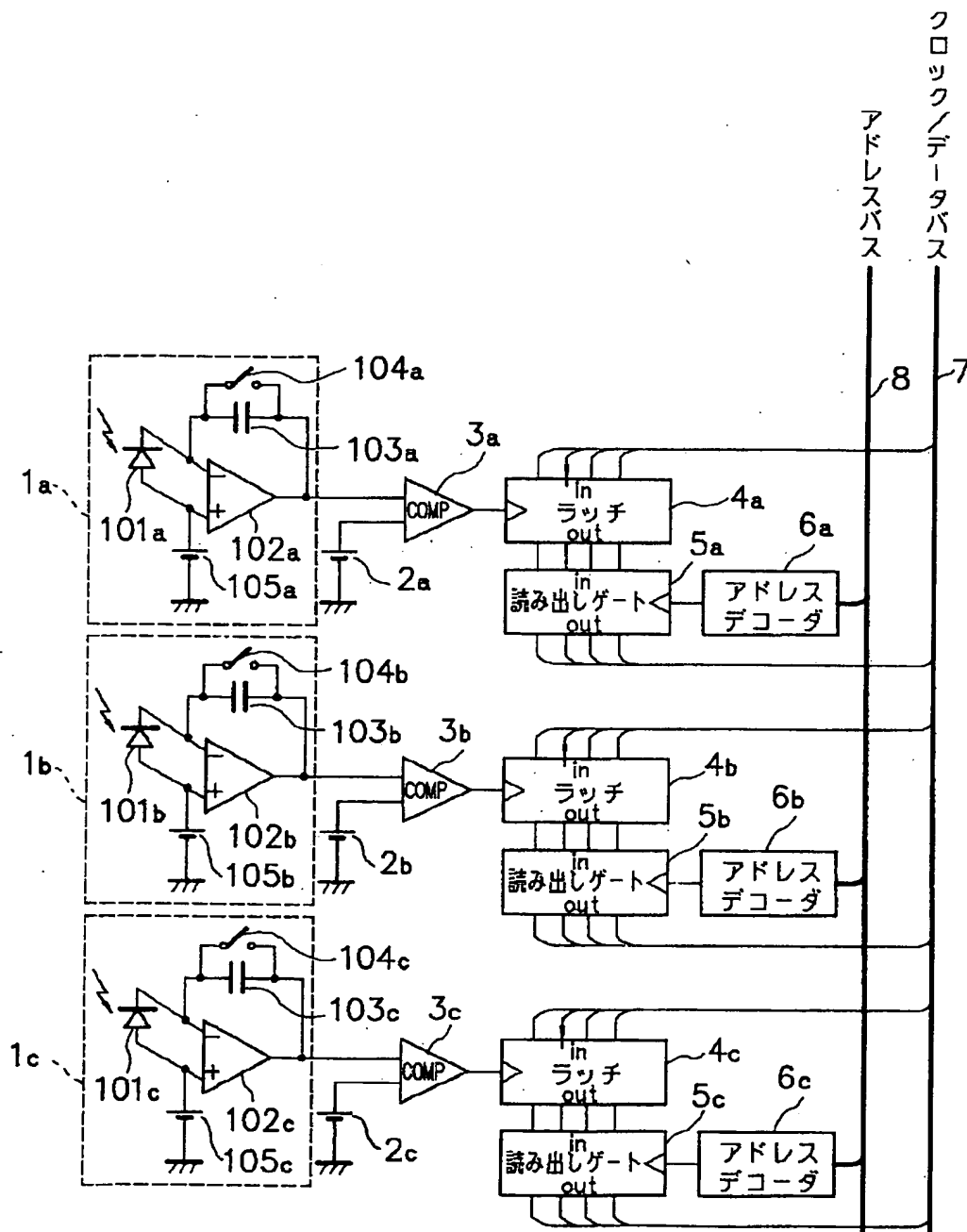
44、45 電流源回路

47、51、54 抵抗回路

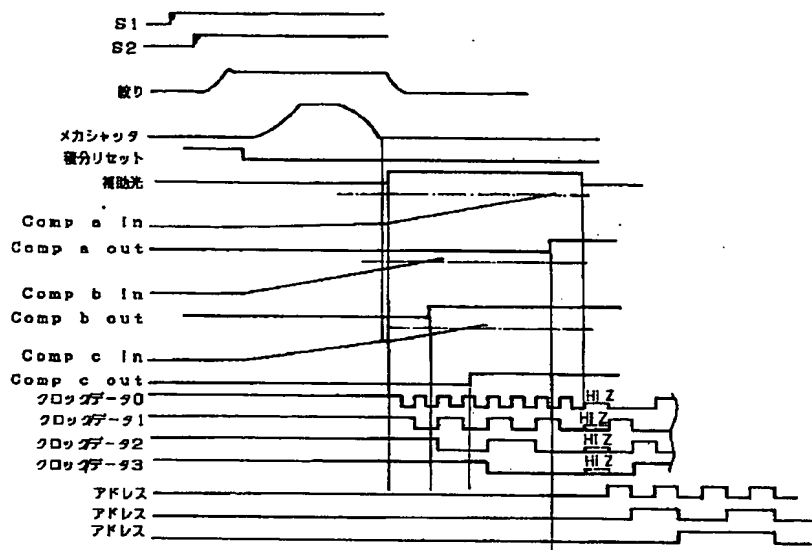
55、56 電流源回路

57 抵抗回路

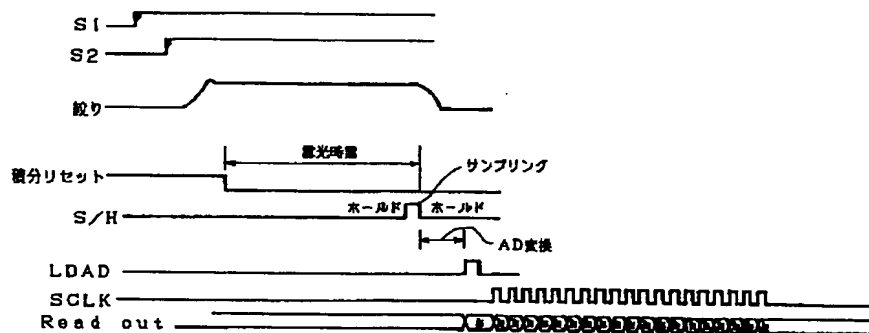
【図1】



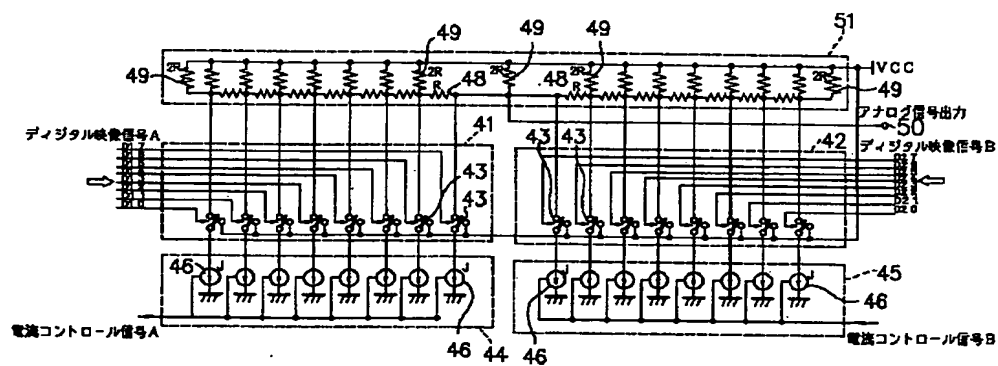
【図2】



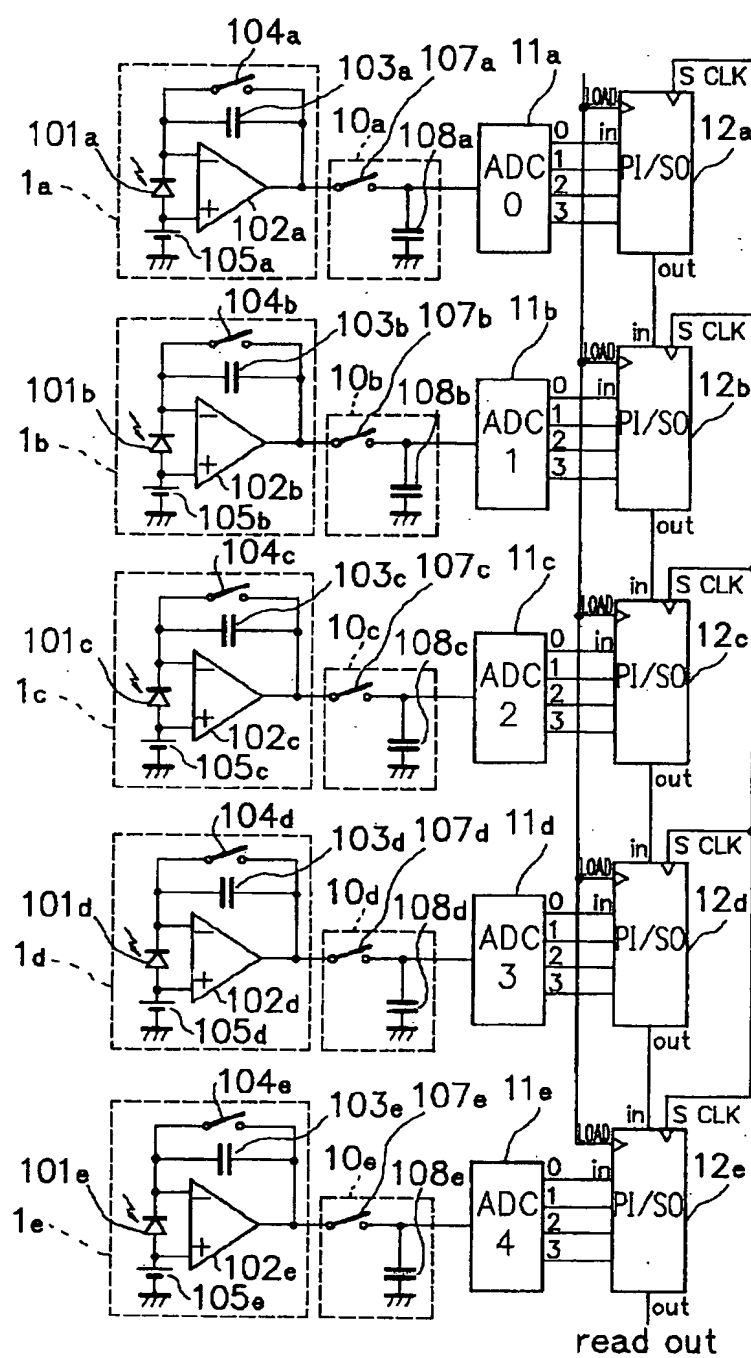
【図4】



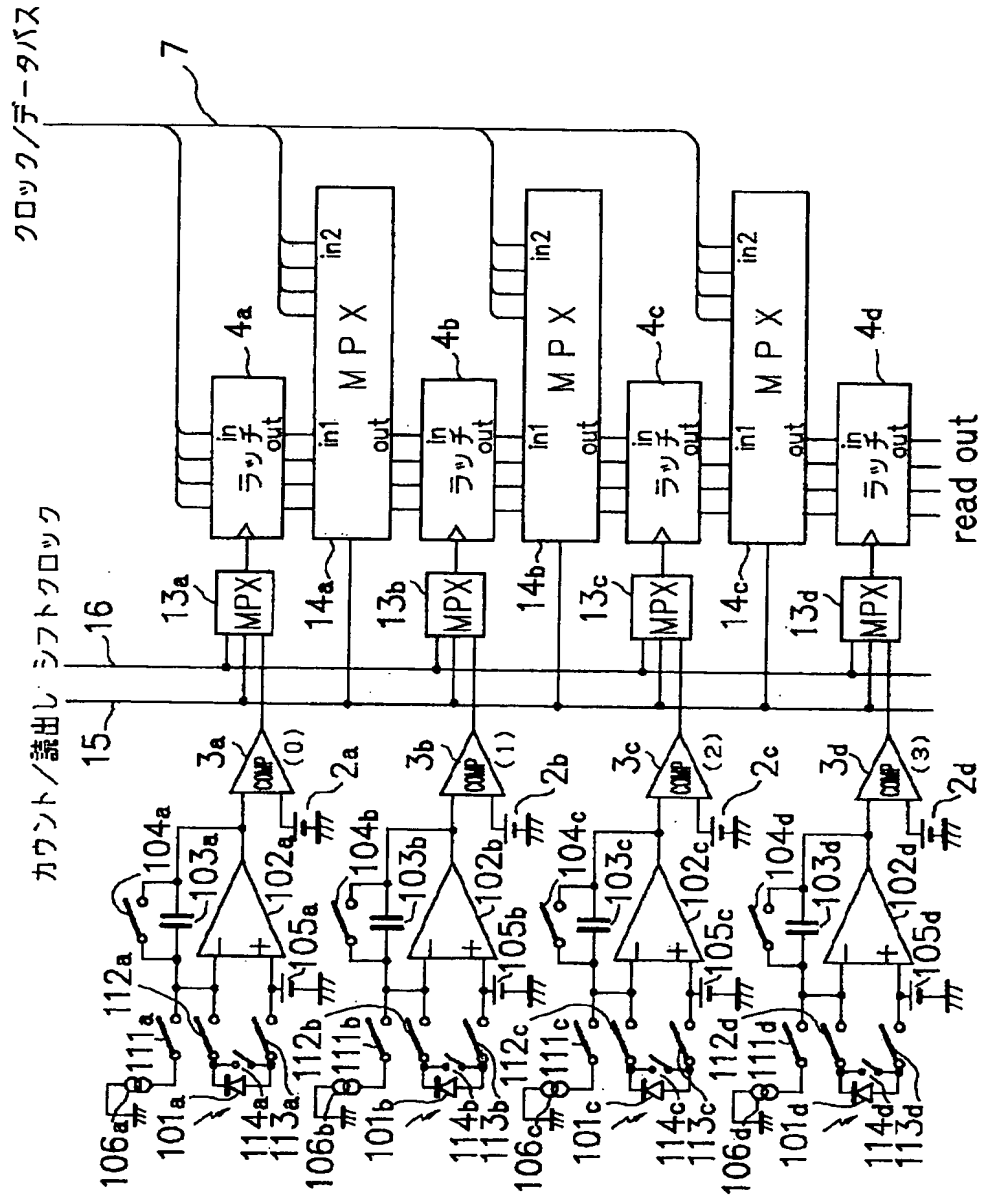
【図11】



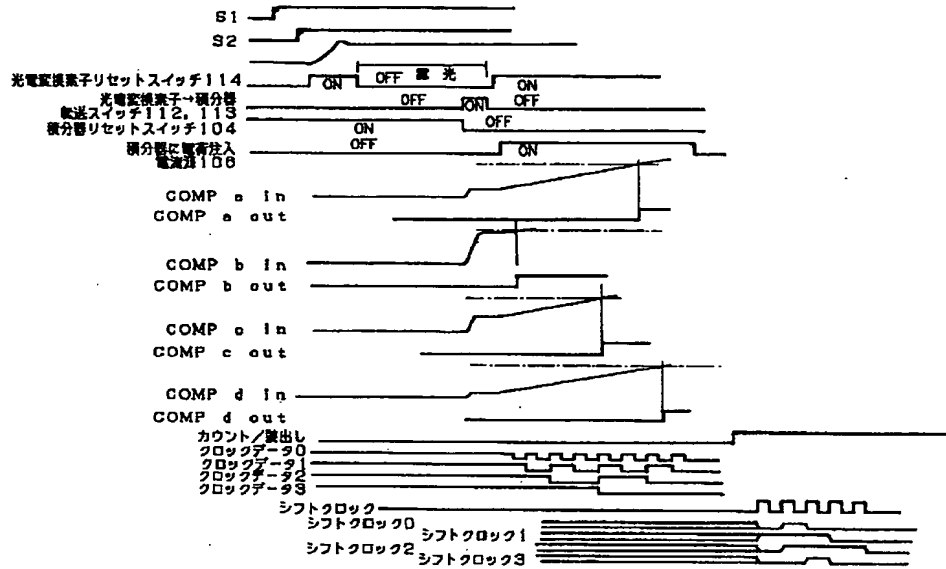
【図3】



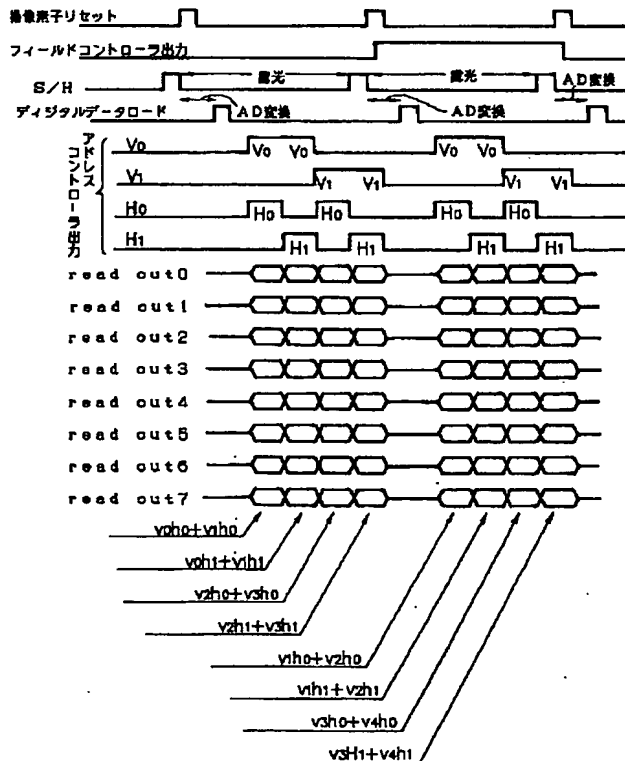
【図5】



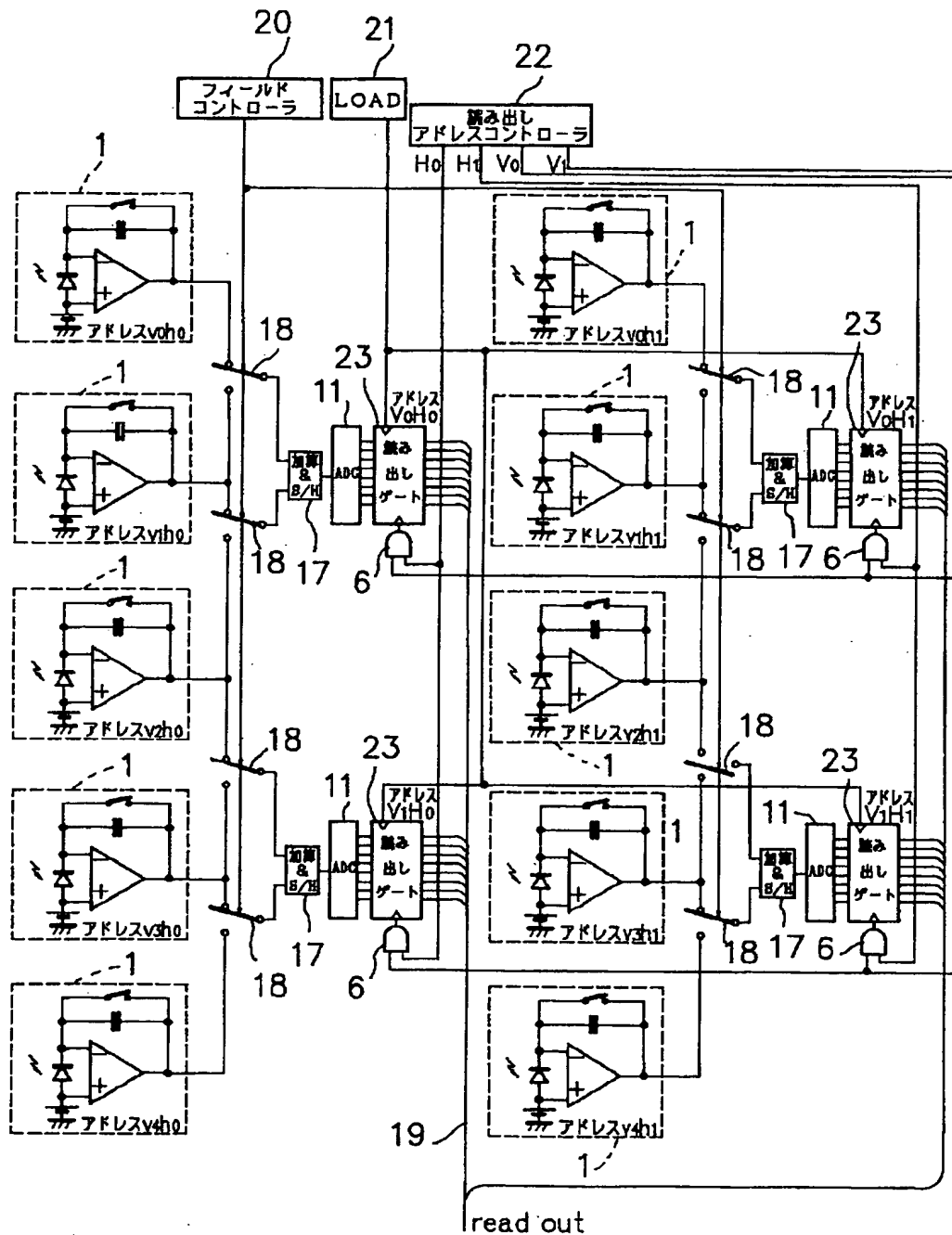
【図6】



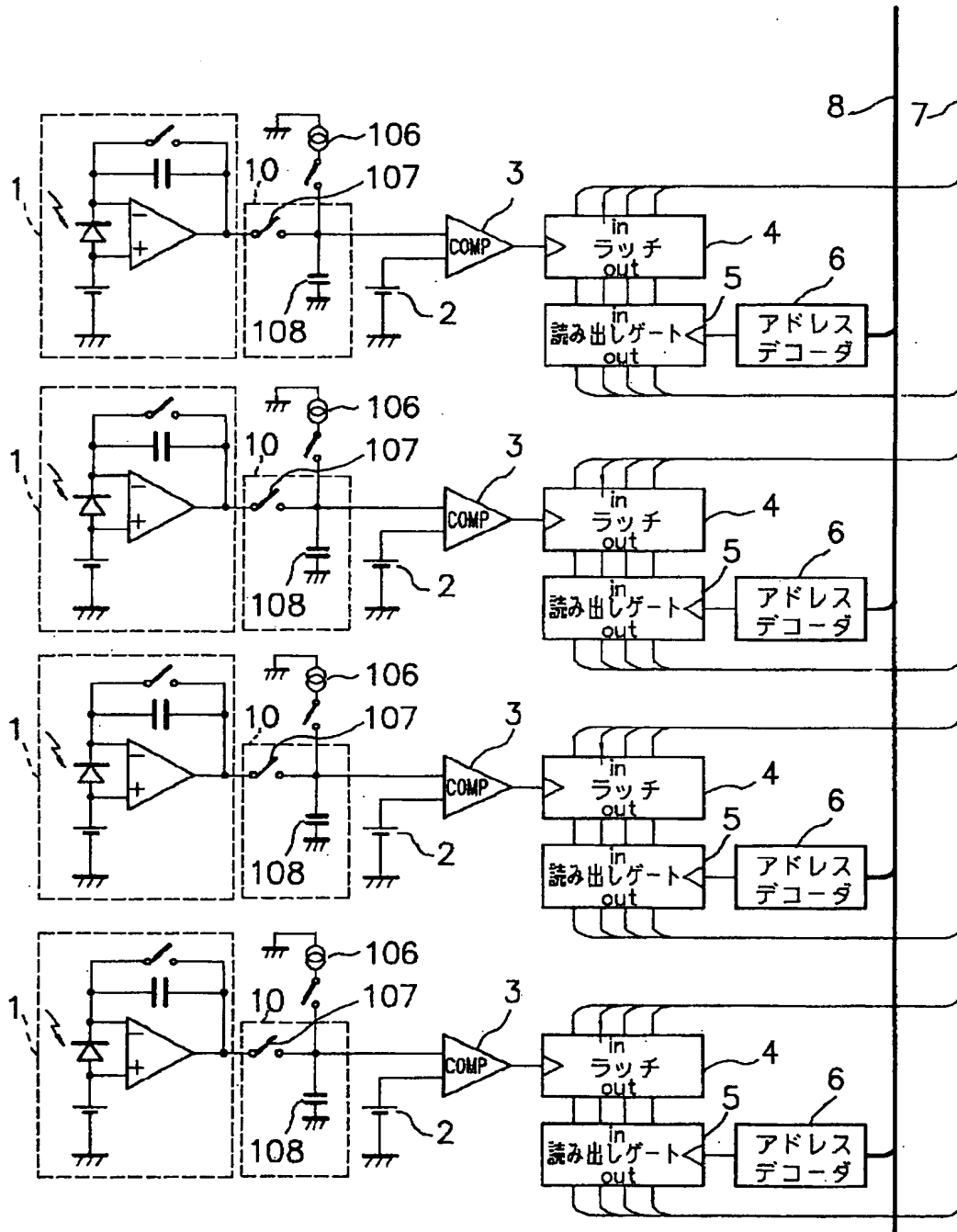
【図8】



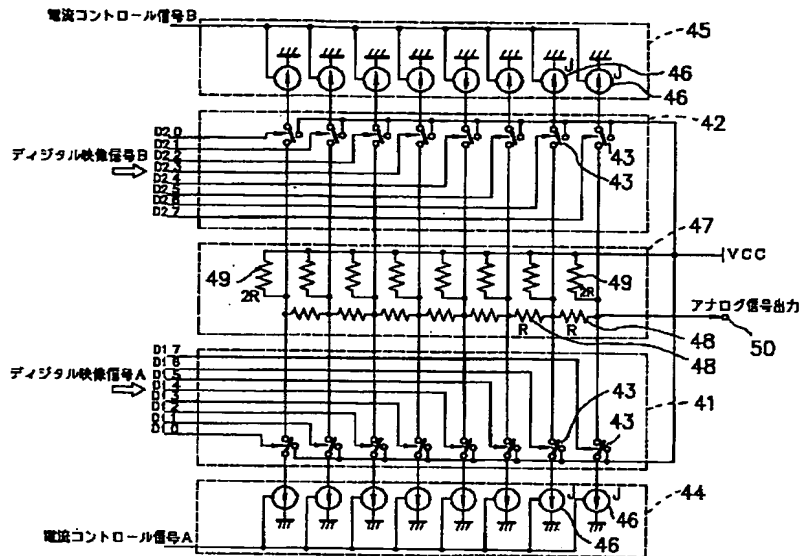
【図7】



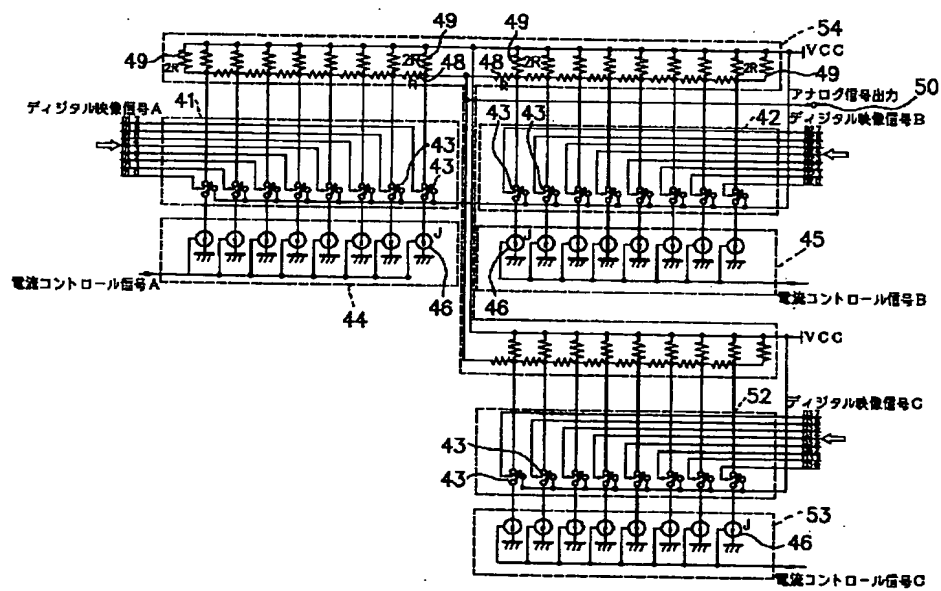
【図9】



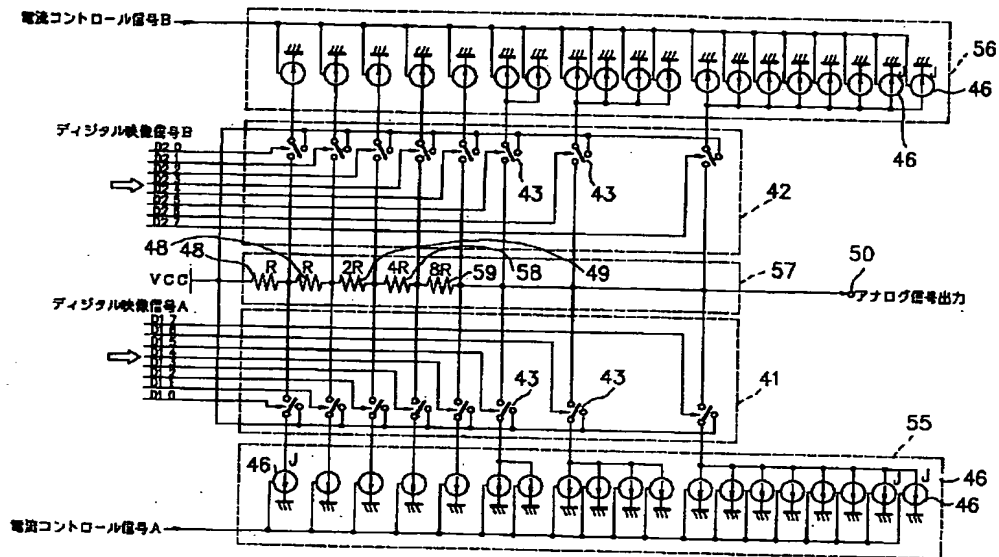
【図10】



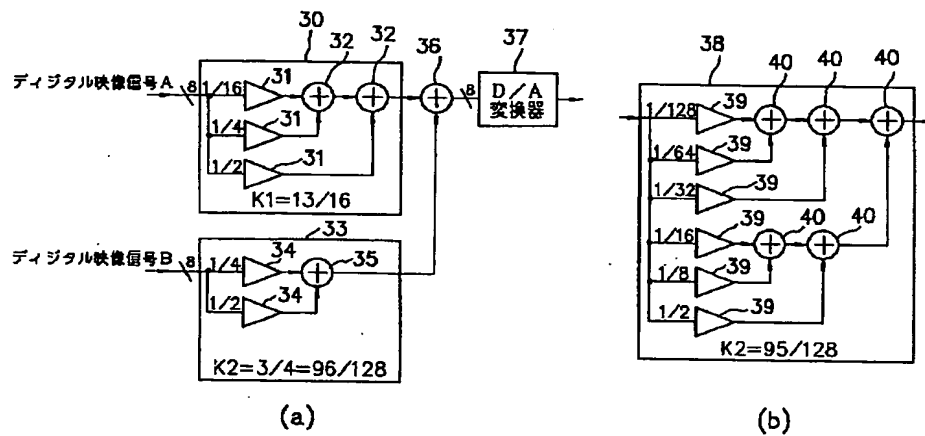
【図12】



【図13】



【図14】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成13年4月6日(2001.4.6)

【公開番号】特開平6-205307

【公開日】平成6年7月22日(1994.7.22)

【年通号数】公開特許公報6-2054

【出願番号】特願平4-360134

【国際特許分類第7版】

H04N 5/335

【F I】

H04N 5/335 Q

【手続補正書】

【提出日】平成11年12月27日(1999.12.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 固体撮像素子

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数の光電変換素子と、

前記複数の光電変換素子のそれぞれに設けられた前記光電変換素子からの信号をディジタル信号に変換する複数のアナログ・ディジタル変換手段と、

前記複数のアナログ・ディジタル変換手段からの信号が出力される共通のデータバスと、

前記複数のアナログ・ディジタル変換手段から選択的に前記共通のデータバスに信号を出力するための選択手段とを有することを特徴とする固体撮像素子。

【請求項2】 前記アナログ・ディジタル変換手段は、光電変換素子からの信号をディジタル信号として並列的に前記共通のデータバスに出力することを特徴とする請求項1に記載の固体撮像素子。

【請求項3】 前記アナログ・ディジタル変換手段は、ディジタル化された信号をラッチするためのラッチ回路を含むことを特徴とする請求項1又は2に記載の固体撮像素子。

【請求項4】 前記選択手段は、デコードを含むことを特徴とする請求項1～3のいずれか1項に記載の固体撮像素子。

【請求項5】 複数の光電変換素子と、前記複数の光電変換素子のそれぞれに設けられた前記光

電変換素子からの信号をディジタル信号に変換して、前記ディジタル信号を並列的に出力する複数のアナログ・ディジタル変換手段と、

前記複数のアナログ・ディジタル変換手段から出力される並列的な信号を直列的な信号に変換して出力する直列変換手段とを有することを特徴とする固体撮像素子。

【請求項6】 前記直列変換手段は、前記複数の光電変換素子のそれぞれに設けられていることを特徴とする請求項5に記載の固体撮像素子。

【請求項7】 複数の光電変換素子と、前記複数の光電変換素子のそれぞれに設けられた前記光電変換素子からの信号をディジタル信号に変換する複数の逐次比較型アナログ・ディジタル変換手段とを有することを特徴とする固体撮像素子。

【請求項8】 前記複数の光電変換手段のそれぞれと、前記複数の逐次比較型アナログ・ディジタル変換手段のそれぞれの間に、前記光電変換素子からの信号を保持するための保持手段を有することを特徴とする請求項7に記載の固体撮像素子。

【請求項9】 複数の光電変換素子と、前記複数の光電変換素子からの信号をディジタル信号に変換するための前記光電変換素子の数よりも少ない複数のアナログ・ディジタル変換手段と、前記複数のアナログ・ディジタル変換手段からの信号が出力される共通のデータバスと、前記複数のアナログ・ディジタル変換手段から選択的に前記共通のデータバスに信号を出力するための選択手段とを有し、

前記複数のアナログ・ディジタル変換手段のそれぞれは、所定数の光電変換素子からの信号を共通に処理することを特徴とする固体撮像素子。

【請求項10】 前記所定数の光電変換素子の信号を加算し、加算した信号をそれぞれ前記複数のアナログ・ディジタル変換手段に出力するための複数の加算出力手段を有することを特徴とする請求項9に記載の固体撮像素子。

【請求項11】 前記選択手段は、所定のアドレス指定により選択的に前記アナログ・デジタル変換手段からの信号を前記共通のデータベースに出力することを特徴とする請求項9又は10に記載の固体撮像素子。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明は光学像を電気信号に変換する固体撮像素子に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】本発明は上記のような問題を解決するためになされたもので、画素毎に直接デジタルデータを得ることのできる固体撮像素子を得ることを目的とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】本発明の固体撮像素子の特徴とするところは、複数の光電変換素子と、前記複数の光電変換素子のそれぞれに設けられた前記光電変換素子からの信号をデジタル信号に変換する複数のアナログ・デジタル変換手段と、前記複数のアナログ・デジタル変換手段からの信号が出力される共通のデータベースと、前記複数のアナログ・デジタル変換手段から選択的に前記共通のデータベースに信号を出力するための選択手段とを有する点にある。また、本発明の固体撮像素子の他の特徴とするところは、複数の光電変換素子と、前記複数の光電変換素子のそれぞれに設けられた前記光電変換素子からの信号をデジタル信号に変換して、前記デジタル信号を並列的に出力する複数のアナログ・デジタル変換手段と、前記複数のアナログ・デジタル変換手段から出力される並列的な信号を直列的な信号に変換して出力する直並列変換手段とを有する点にある。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】また、本発明の固体撮像素子の他の特徴とするところは、複数の光電変換素子と、前記複数の光電

変換素子のそれぞれに設けられた前記光電変換素子からの信号をデジタル信号に変換する複数の逐次比較型アナログ・デジタル変換手段とを有する点にある。また、本発明の固体撮像素子の他の特徴とするところは、複数の光電変換素子と、前記複数の光電変換素子からの信号をデジタル信号に変換するための前記光電変換素子の数よりも少ない複数のアナログ・デジタル変換手段と、前記複数のアナログ・デジタル変換手段からの信号が出力される共通のデータベースと、前記複数のアナログ・デジタル変換手段から選択的に前記共通のデータベースに信号を出力するための選択手段とを有し、前記複数のアナログ・デジタル変換手段のそれぞれは、所定数の光電変換素子からの信号を共通に処理する点にある。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【作用】本発明によれば、撮像素子上で画素毎にあるいは信号処理上必要なサブサンプルや加算等の処理を施した画素の情報に対してアナログ・デジタル変換をした後に、デジタルデータとして出力することにより、アナログの電荷移送によるS/N劣化を防ぐことができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】

【実施例】図1は、本発明の第1の実施例を示す。図1において符号1～6に付されたa、b、cの添字は同一機能を持つ複数のブロック又は回路素子を識別するためのものである。以下の構成及び動作の説明においては、上記添字を付さずに説明し、必要に応じて添字a、b、cを付して説明する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】図10～図13に示す第6の実施例～第9の実施例では、デジタル信号が入力される加算装置について説明する。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正内容】

【0075】尚、この実施例においても3以上の電流スイッチを設けることができる。以上の第6の実施例～第9の実施例によれば、デジタル信号により電流が制御される複数の電流スイッチを抵抗回路に接続する構成としたことにより、複数のデジタル信号を任意の加算比で加算しながらアナログ信号に変換することができる。また、比較的広範囲に電流制御が可能であり、従ってダイナミックレンジも広く、しかも電流スイッチを高速に切換えることができるため周波数特性の優れた加算装置が得られる。また、電流スイッチを複数設けるという比較的簡単な構成のため、回路規模及び消費電力に関しても有利である。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正内容】

【0076】

【発明の効果】以上説明したように、本発明によれば、固体撮像素子の各光電変換素子に対応させたアナログ・

デジタル変換手段を設ける構成にしたので、アナログでの情報伝送部分を少なくすることができ、これによりアナログ情報伝送による画質劣化を防ぐことができる効果がある。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】削除

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】削除

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】本発明の第1の実施例を示す構成図である。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】第6の実施例を示す構成図である。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.